

RAiO

RA8877

TFT LCD 文字图形控制器

规格书

December 16, 2015

RAiO Technology Inc.

©Copyright RAiO Technology Inc., 2015

RAiO TECHNOLOGY INC.

www.raio.com.tw

1. 简介

本份是 TFT LCD 控制器 RA8877 规格书， RA8877 是支持 LVDS (FPD-Link) 接口的面板控制器。规格书内包含：系统方块图、引脚图、AC/DC 电气特性、各个功能子方块、缓存器、省电模式的详细描述。

1.1 概况

RA8877 是极省电的彩色 LCD 控制器，对外部内存 SDRAM 支持最多可达 512M-bit，为了可以快速对外部的显示内存进行屏幕更新，因此 RA8877 提供一高效频宽的 8/16bit 异步并列的主控端接口，RA8877 提供多段的显存缓冲区间，并提供画中画 (PIP)、透明度控制与显示旋转镜像等功能。

1.2 系统与芯片示意图

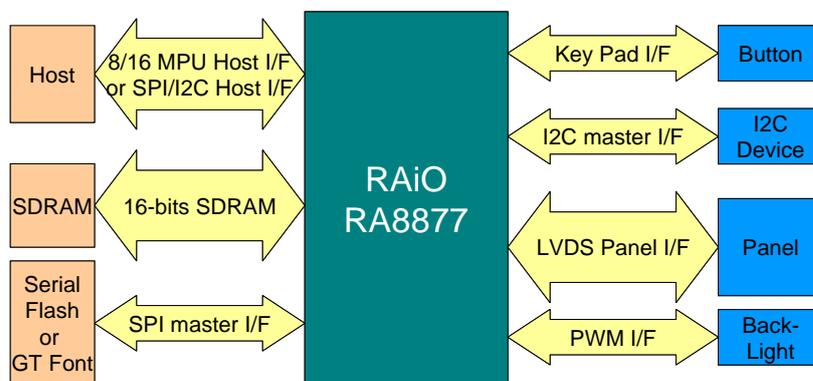


圖 1-1 : System Diagram

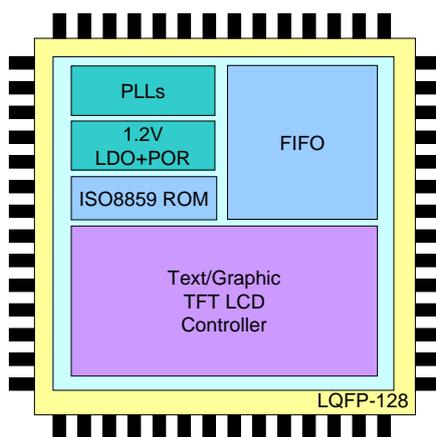


圖 1-2 : Chip Diagram

2. 特性

2.1 图框缓冲区

- 支援 SDRAM 大小:16Mb, 32Mb, 64Mb, 128Mb, 256Mb 或 512Mb
- 支持 SDRAM 设定格式: x4, x8, x16, x32
- 支持 16/32-bit SDRAM 宽度, frame buffer 最大可为 256MB/512MB

2.2 主控端界面

- 支持 8080/6800 8/16-bit 异步并行接口 (MIPI DBI Type A)
 - 对于扩展的 MPU 周期提供 Xnwait 的信号以供交握
- 支持串行主控端接口, 例如. IIC, 3/4-wire SPI
- 对于图像数据写入支持镜像与旋转的功能

2.3 输入显示数据格式

- 1bpp: 单色 (1-bit/像素)
- 8bpp: RGB 3:3:2 (1-byte/像素)
- 16bpp: RGB 5:6:5 (2-byte/像素)
- 24bpp: RGB 8:8:8 (3-byte/像素或 4-byte/像素)
 - Index 2:6 (64 索引色/像素并带透明度属性)
 - RGB 4:4:4 (4096 索引色/像素并带透明度属性)

2.4 显示模式

- 永远输出 24bpp (RGB 8:8:8) 的 LVDS 格式, 并且支持 VESA/JEDIA 格式

2.5 支援多種螢幕解析度

- 支持 16/18/24-bit CMOS 接口屏幕或是 MIPI DPI-2
- 支持屏幕分辨率最大可达 2048X2048 像素 (注: 实际的面板分辨率是取决于 pixel clock 与色深)
 - QVGA: 320 x 240 x 16/18/24-bit LCD 屏幕
 - WQVGA: 480 x 272 x 16/18/24-bit LCD 屏幕
 - VGA: 640 x 480 x 16/18/24-bit LCD 屏幕
 - WVGA: 800 x 480 x 16/18/24-bit LCD 屏幕
 - SVGA: 800 x 600 x 16/18/24-bit LCD 屏幕
 - QHD: 960 x 540 x 16/18/24-bit LCD 屏幕
 - WSVGA: 1024 x 600 x 16/18/24-bit LCD 屏幕
 - XGA: 1024 x 768 x 16/18/24-bit LCD 屏幕
 - WXGA: 1280 x 768 x 16/18/24-bit LCD 屏幕
 - WXGA: 1280 x 800 x 16/18/24-bit LCD 屏幕
 - WXGA: 1366 x 768 x 16/18/24-bit LCD 屏幕

2.6 显示功能

- 使用者可自行定义 4 个 32X32 图形光标
- 显示窗口

显示窗口大小是经由定义 LCD 缓存器得到,而透过底图 (canvas) 缓存器设定可以对显示窗口进行全部或部分更新。工作窗口的大小与起始位置的分辨率在水平上必须是以 8 个像素的倍数,以垂直而言则是 1 个扫描线的倍数。窗口的坐标参考零点为左上角(即使在翻转图像或旋转文字时,亦不需要主控端处理)。
- 虚拟显示

当显示的图像大于 LCD 的大小时则虚拟显示会被致能,而在任意方向可以很容易做到滚动图像。
- 画中画 (PIP)
- 支持两个画中画窗口,当致能画中画窗口时则画中画窗口会永远显示在主窗口中。画中画窗口的大小与起始位置水平上是 4 个像素的倍数,垂直上则是一条扫描线。透过设定画中画窗口的起始位置可以达成图像的滚动。画中画 1 的窗口永远显示在画中画 2 上面。
- 多重显示缓冲区

多重显示缓冲区的功能允许显示窗口在各显示缓冲区间切换,SDRAM 的大小与使用者写入缓冲区大小来决定显示缓冲区的数目。在使用多重显示缓冲区上,使用者可以经由切换不同显示缓冲区,达成简单的动画效果。
- 唤醒显示

唤醒显示效果如果被致能时,那唤醒时可以快速显示预先储存在 SDRAM 中的显示数据。这个功能是在 Standby 与 Suspend 模式唤醒时使用。
- 垂直翻转显示
- 垂直翻转显示功能只适用在显示上,对于其它功能子方块的读写是不影响的,在垂直翻转显示致能时 PIP 是被禁能的。
- 彩带显示 (Color Bar Display)

在没有 SDRAM 的情况下仍然可以以彩带的方式显示,默认分辨率为 640x480 像素。

2.7 开机显示

- 在没有外部 MPU 的情况下,因 RA8877 有内建的微处理器可以使用储存在 serial flash 内的指令与数据,以达成显示功能。这个功能会在电源开启时执行,并且在执行完后将控制权交由外部 MPU 此功能支持 12 种指令。指令如下:

■ EXIT: 跳出指令	(00h/FFh)	-- one byte instruction
■ NOP: 空指令	(AAh)	-- one byte instruction
■ EN4B: 进入 4-Byte 模式指令	(B7h)	-- one byte instruction
■ EX4B: 跳出 4-Byte 模式指令	(E9h)	-- one byte instruction
■ STSR: 状态读取指令	(10h)	-- two bytes instruction
■ CMDW: 命令写入指令	(11h)	-- two bytes instruction
■ DATR: 数据读取指令	(12h)	-- two bytes instruction
■ DATW: 数据写入指令	(13h)	-- two bytes instruction
■ REPT: 加载计数指令	(20h)	-- two bytes instruction
■ ATTR: 抓取属性指令	(30h)	-- two bytes instruction
■ JUMP: 跳跃指令	(80h)	-- five bytes instruction
■ DJNZ: 递减並跳躍指令	(81h)	-- five bytes instruction

2.8 区块传输引擎 (BTE)

- 2D BitBLT 引擎
- 具有光栅操作与颜色扩展的复制数据
- 方型填满与图样填满
 - 提供使用者定义的 8x8/16x16 像素的图样
- 混合透明 (Opacity)

使用混合透明模式可以将两个图档混和成新的图形，然后再用画中画的方式显示出来。在处理的速度上而言混合透明与待处理图档大小有关，此外，亦可处理单张图档。

 - 关键彩度 (Chroma-keying) 功能: 经由指定的 RGB 颜色来做为透明的参考并进行混和影像的处理。
 - 图形混合透明 (Alpha-blending): 根据缓存器设定透明的比率来进行两张图像的混成 (淡入与淡出功能必须被致能)。
 - 像素混合透明 (Alpha-blending): 根据 RGB 格式来混合影像，例如 8bitRGB，则 MSB2bit 为 α 值。

2.9 几何绘图引擎

- 支持画点、线、曲线、椭圆、三角形、矩形、圆角矩形

2.10 主 SPI 界面

2.10.1 文字功能

- 内建 ISO/IEC 8859-1/2/4/5.8x16、12x24、16x32
- 支持集通 16X16/24X24/32X32 串行字型 ROM 例如 Uni-code/BIG5/GB 等等，支持的集通型号有 GT21L16T1W、GT30L16U2W、GT30L24T3Y、GT30L24M1Z、GT30L32S4W、GT20L24F6Y、GT21L24S1W
- 支持使用者自定义字型半角 (8x16/12x24/16x32) 与全型
- 对于写入文字支持可程序文字光标
- 支持垂直水平放大字型 X1, X2, X3, X4 倍数
- 支持文字 90 度旋转

2.10.2 DMA 功能

- 支持外部串行闪存 (serial flash) 数据复制至图框缓冲区

2.10.3 一般主 SPI

- 兼容 Motorola SPI 规格
- 16 bytes 读取深度的 FIFO
- 16 bytes 写入深度的 FIFO

在 Tx FIFO 完全清空并且 SPI Tx/Rx 引擎闲置时会发出中断

2.11 IIC 界面

- IIC master interface
 - 可以使用在扩充 I/O device, 例如在屏幕控制的触控屏幕
 - 支持标准模式 (100kbps) 与快速模式 (400kbps)

2.12 脉宽调制与定时器

- 内建两个 16-bit 计数器
- 一个 8-bit pre-scalars 与一个 4-bit 除频
- 输出波形的工作周期是可程序化的
- 自动重加载模式或单击模式
- 死区 (Dead-zone) 保护

2.13 按键接口

- 支持 5x5 键盘 (必须使用与 GPIO 的共享脚)
- 可程序化的扫描周期
- 支持长按键与重复键
支持同时按两键
- 注: 在限制条件下可以支持同时按 3 键 (3 个键线段组成角度必须不是 90°)
- 支持键盘唤醒功能

2.14 省电模式

- 支持 3 种省电模式
 - 待机 (Standby)、休眠 (Suspend) 与睡眠 (Sleep) 模式
- 可以使用主控端、按键、外部事件唤醒

2.15 频率来源

- 内建可程序锁相回路 PLL 以提供系统频率、LCD 扫描频率与 SDRAM 频率使用
- 单一石英晶体震荡输入: (XI/XO: 10-15MHz)
- 内部核心最大系统频率 (最大值 120MHz)
- SDRAM 频率 (最大值 166MHz)
- LCD 屏幕扫描频率 (最大值 100MHz)

2.16 复位

- 接受外部硬件复位
- 软件命令复位

2.17 电源

- I/O 电压: 3.3V +/- 0.3V
- 内建 1.2V LDO for core power

2.18 封装

- LQFP-128
- 操作温度: -40°C ~ 85°C

3. 产品封装

3.1 RA8877 封装引脚图

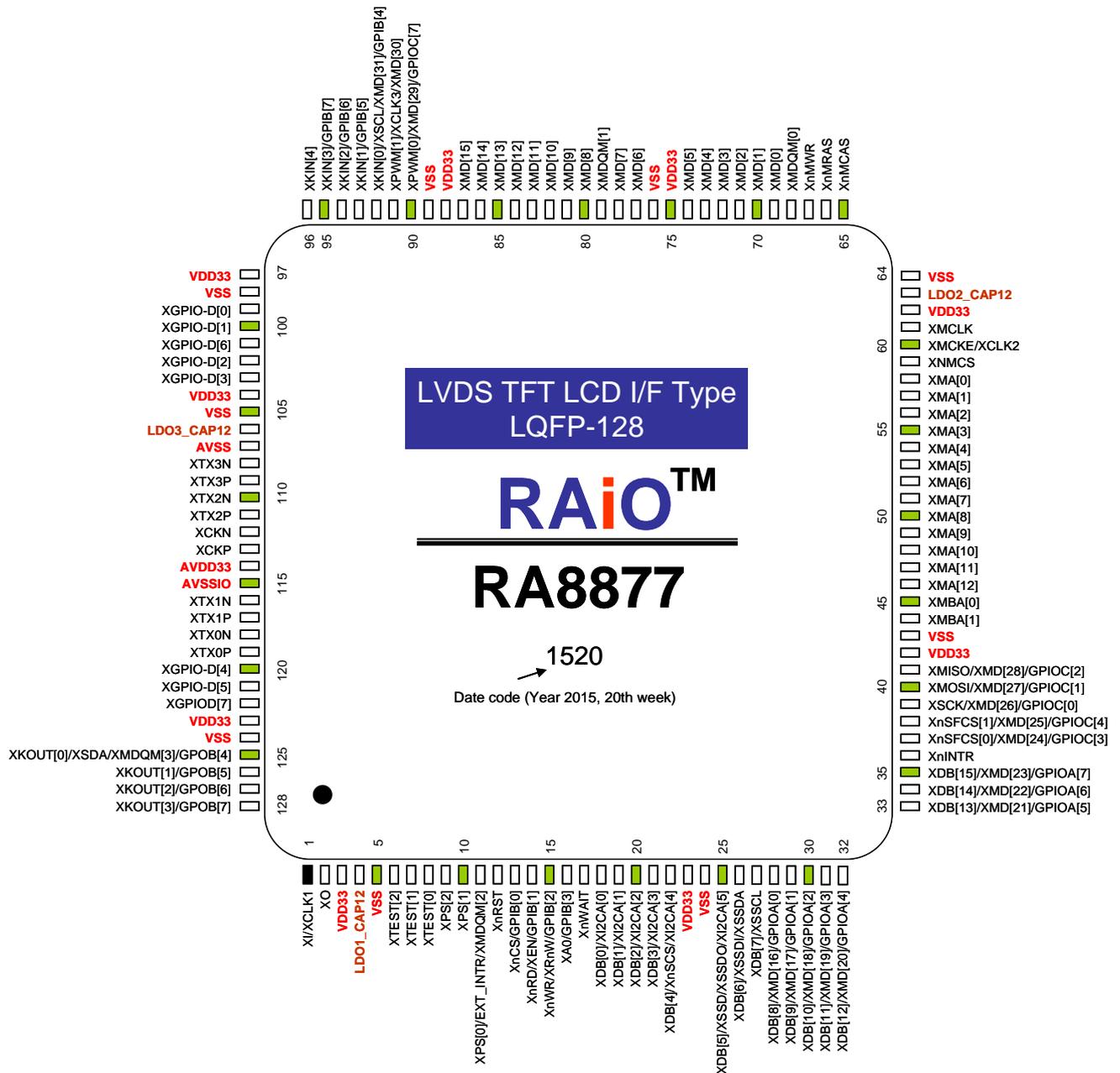
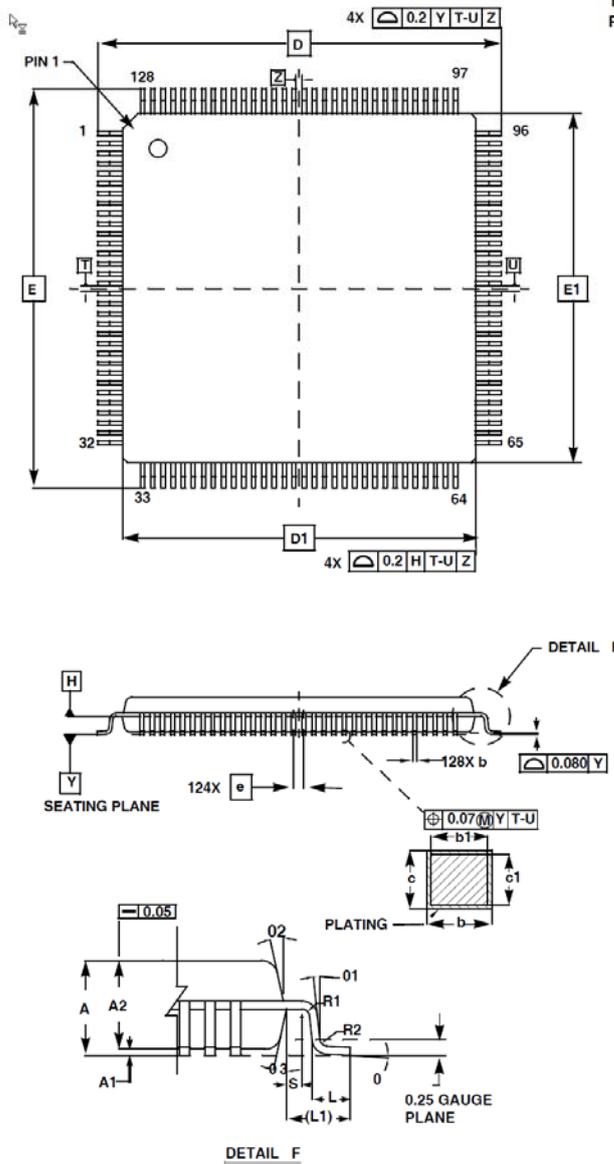


图 3-1

3.2 封装尺寸

Q128.14x14
128 LEAD THIN PLASTIC QUAD FLATPACK PACKAGE .4 MM PITCH



SYMBOL	MILLIMETERS			NOTES
	MIN	NOM	MAX	
A	-		1.60	-
A1	0.05		0.15	-
A2	1.35	1.40	1.45	-
b	0.13	0.16	0.23	4
b1	0.13	-	0.19	-
c	0.09	-	0.20	-
c1	0.09	-	0.16	-
D	16 BSC			-
D1	14 BSC			3
E	16 BSC			-
E1	14 BSC			3
L	0.45	0.60	0.75	-
L1	1.00 REF			-
R1	0.08	-	-	-
R2	0.08	-	0.20	-
S	0.20	-	-	-
0	0°	3.5°	7°	-
01	0°	-	-	-
02	11°	12°	13°	-
03	11°	12°	13°	-
N	128			-
e	0.40 BSC			-

Rev. 0 8/08

NOTES:

1. Dimensions are in millimeters. Dimensions in () for Reference Only.
2. Dimensions and tolerances per AMSEY14.5M-1994.
3. Dimensions D1 and E1 are excluding mold protrusion. Allowable protrusion is 0.25 per side. Dimensions D1 and E1 are exclusive of mold mismatch and determined by datum plane H.
4. Dimension b does not include dambar protrusion. Allowable dambar protrusion shall not cause the lead width to exceed the maximum b dimension by more than 0.08mm. Dambar cannot be located at the lower radius or the foot. Minimum space between protrusion and an adjacent lead is 0.07 mm.

圖 3-2 : RA8877 Package Outline Dimensions

4. 引脚定义

4.1 并行主控端接口 (25 引脚)

接脚名称	I/O	脚位说明
XDB[15:0]	IO (8mA)	数据总线 数据总线提供主控端与RA8877 的并行接口数据传送。 XDB[15:8] 可以设定GPIO (GPIO-A[7:0])，前提是没有设定成 8080/6800 16-bits并行接口数据总线。 XDB[7:0] 如果在串行主控端模式下，此信号也提供为串行的主控端信号使用 et. 请参考串行主控端接口章节。
XA0	I	命令/数据 选择 此引脚被使用在选择命令还是数据的周期。 XA0 = 0，状态读取/命令写入。 XA0 = 1，数据读取/数据写入。
XnCS	I	芯片智能 低电平致能，如果主控端设定 RA8877 为串行主控端模式，则此引脚设定为 GPI-B0 并且读取引脚的值，引脚内部有上拉电阻
XnRD (XEN)	I	致能/读取致能 当微处理器是 8080 系列，此引脚是当作 XnRD 使用 (读取数据)，低电平动作。 当微处理器是 6800 系列，此引脚是当作 XEN 使用 (致能信号)，高电平动作。 如果主控端接口设定成串行主控模式，那么此引脚则为 GPI-B1，并且可读取引脚上的电压值。 内建 pull-high 电阻。
XnWR (XRnW)	I	写入/读写 当微处理器接口是 8080 系列，此引脚会成为 XnWR (数据写入)，低电平动作。 当微处理器接口是 6800 系列，此引脚会成为 XRnW (数据 读取/写入)，读取时是高电平动作，写入是低电平动作。 如果主控端接口是设定成串行主控模式，那么此引脚将会成为 GPI-B2。 内建上拉电阻。
XnINTR	O (8mA)	中断信号输出 告知主控端目前内部状态的中断输出。
XnWAIT	O (8mA)	等待信号输出 当 XnWAIT 为 high，表示 RA8877 已经准备好传输数据，当 XnWAIT 为 low，微处理器应该进入等待周期。
XPS[2:0]	I	并行/串行 主控端接口选择 00X: (并行主控端) 8080 8/16-bits 数据总线接口。 01X: (并行主控端) 6800 i8/16-bits 数据总线接口。 100: (串行主控端) 3-wire SPI。 101: (串行主控端) 4-wire SPI。 11x: (串行主控端) IIC。

接腳名稱	I/O	腳位說明
		註: a. 如果主控端接口设定成并列主控端模式, 那么 XPS[0] 就外部中断脚。 b. 如果 SDR SDRAM 被致能在 32bits 数据总线下, 并且微处理器为 8-bits 并列模式下, 那么 PWM、Serial flash 引脚、键盘引脚将会变成 SDR SDRAM 总线的功能, 例如 XPS[0] 会变成 XMDQM[2]。

4.2 串行主控端接口 (与并列主控端接口共享引脚)

接腳名稱	I/O	腳位說明
XSSCL (XDB[7])	I	SPI 与 IIC 频率 XSSCL、3-wire、4-wire 串行或 IIC 接口频率。
XSSDI XSSDA (XDB[6])	I	IIC 数据/4-wireSPI 数据输入 3-wire SPI 界面: NC, 请连接到 GND。 4-wire SPI 界面: XSSDI 串行接口数据输入。 IIC 界面: XSSDA 串行接口输入输出双向。
XSSD XSSDO (XDB[5])	IO	3-wireSPI 数据/4-wireSPI 数据输出/IIC Slave 位置选择 3-wireSPI I/F: XSSD, 串行接口输入输出双向数据传输。 4-wireSPI I/F: XSSDO, 串行接口数据输出。 IIC 界面: XIICA[5], IIC 装置地址 bit [5]。
XnSCS (XDB[4])	I	SPI 致能/IIC Slave 地址选择 XnSCS, 在 3-wire 与 4-wireSPI 串行接口中, 此引脚为致能信号。 IIC 界面: XIICA[4], IIC 装置地址 bit [4]。
XIICA[3:0] (XDB[3:0])	I	IIC 界面: IIC Slave 地址选择 XIICA[3:0], 在 3-wire 与 4-wire SPI 界面: NC, 请连接到 GND。 IIC 界面: IIC 装置地址 bit [3:0]。

4.3 SDR SDRAM 界面 (39 引脚)

接腳名稱	I/O	腳位說明
XMCKE (XCLK2)	IO (8mA)	频率致能/频率 2 输入(内存频率) 当 XTEST[0] 为低电平时, 此引脚 SDR 内存频率致能的功能。 当 XTEST[0] 为高电平时, 此引脚为 RA8877 外部频率 2 输入, 并且透过 XMCLK 提供给 SDR 使用。
XMCLK	IO (8mA)	SDR 内存频率输出 由内部 MPLL 或 XCLK2 来驱动。
XnMCS	O (4mA)	芯片选择
XnMRAS	O (4mA)	命令输出: XnMRAS、XnMCAS 与 XnMWR (须与 XnMCS 搭配) 可以输出命令

接腳名稱	I/O	腳位說明
XnMCAS	○ (4mA)	命令输出
XnMWR	○ (4mA)	命令输出
XMBA[1:0]	○ (4mA)	区块(Bank) 地址
XMA[12:0]	○ (4mA)	地址
XMD[15:0]	I/O (4mA)	数据总线
XMDQM[1:0]	○ (4mA)	输入/输出屏蔽

注:

如果 SDR SDRAM 被致能在 32bits 总线模式, 并且微处理器为 8-bits 并列模式, 那么 PWM、Serial flash、键盘引脚将会变成 SDR SDRAM 总线功能, 例如:

- a. XDB[15:8] 变成 XMD[23:16]
- b. {XKIN[0], XPWM[1], XPWM[0], XMISO, XMOSI, XSCK, XnSFCS1, XnSFCS0} 变成 XMD[31:24]
- c. XPS[0] 变成 XMDQM[2]
- d. XKOUT[0] 变成 XMDQM[3]

4.4 Serial Flash 或 SPI master 界面 (5 引脚)

接腳名稱	I/O	腳位說明
XnSFCS0	IO (8mA)	外部 Serial Flash/ROM SPI 芯片选择 0 SPI 芯片选择脚#0 使用在 Serial Flash/ROM 或 SPI 装置选择上。 *如果 SPI master 被禁能, 那么此引脚可以被程序规划成 GPIO (GPIO-C3), 默认 GPIO-C3 为输入功能。
XnSFCS1	IO (8mA)	外部 Serial Flash/ROM SPI 芯片选择 1 SPI 芯片选择脚#0 使用在 Serial Flash/ROM 或 SPI 装置选择上。 * 如果 SPI master 被禁能, 那么此引脚可以被程序规划成 GPIO (GPIO-C4), 默认 GPIO-C4 为输入功能。 *如果 xtest[2:1] 不等于 01b 那么在 reset 周期时会自动 pull-high。
XSCK	IO (8mA)	SPI 串行频率 此引脚是串行频率输出, 主要是给 Serial Flash/ROM 或 SPI 装置使用。 * 如果 SPI master 接口被禁能, 那么此引脚可以被程序规划为 GPIO (GPIO-C0); 默认 GPIO-C0 输入功能。
XMOSI (XSIO0)	IO (8mA)	主输出从输入 Single 模式: Serial Flash/ROM 或 SPI 装置输入数据用。对 RA8877 而言此脚为输出。 Dual 模式: 此引脚为双向数据传送#0(SIO0), 此功能只能在 Serial flash DMA 使用。 *如果 SPI master 接口被禁能, 那么此引脚可以被程序规划为 GPIO (GPIO-C1); 默认 GPIO-C1 输入功能。

接腳名稱	I/O	腳位說明
XMISO (XSIO1)	IO (8mA)	<p>主输入从输出</p> <p>Single 模式: Serial Flash/ROM 或 SPI 装置输出数据用。对 RA8877 而言此脚为输入。</p> <p>Dual 模式: 此引脚为双向数据传送#1 (SIO1)。此功能只能在 Serial flash DMA 使用。</p> <p>*如果 SPI master 接口被禁能, 那么此引脚可以被程序规划为 GPIO (GPIO-C2), 默认 GPIO-C2 输入功能。</p>

注:

如果 SDR SDRAM 被致能在 32bits 总线模式, 并且微处理器为 8-bits 并列模式, 那么 PWM、Serial flash、键盘引脚将会变成 SDR SDRAM 总线功能, 例如:

- a. XDB[15:8] 变成 XMD[23:16]
- b. {XKIN[0], XPWM[1], XPWM[0], XMISO, XMOSI, XSCK, XnSFCS1, XnSFCS0} 变成 XMD[31:24]
- c. XPS[0] 变成 XMDQM[2]
- d. XKOUT[0] 变成 XMDQM[3]

4.5 PWM 界面 (2 引脚)

接腳名稱	I/O	腳位說明
XPWM0	IO (8mA)	<p>PWM 信号输出 1/初始显示致能</p> <p>Pull-high 这根引脚可以让初始显示致能。</p> <p>默认是禁能初始显示功能, 而这根引脚在复位 (RESET) 周期时内部会被拉低。换句话说在复位周期结束时, 内部拉低电阻将会被禁能。</p> <p>XPWM 0 的输出模式可以在缓存器中指定。</p> <p>如果 PWM 被禁能, 那么此引脚可以被程序规划为 GPIO (GPIO-C7), 默认 GPIO-C7 是输入功能或是输出核心频率。</p>
XPWM1 (XCLK3)	IO (8mA)	<p>PWM 信号输出 2 / 频率 3 输入(屏幕扫描频率)</p> <p>当 XTEST[0]为低电平时:</p> <p>XPWM1 可以被设定为输出其输出模式可经由缓存器设定来完成。那么其输出可以指定为标准的 XPWM1 功能, oscillator 频率输出或是 SCAN 频宽不足与超过内存地址的错误旗标。</p> <p>当 XTEST[0] 为高电平时:</p> <p>XPWM1 引脚就是外部屏幕扫描频率 3 输入。</p>

注:

如果 SDR SDRAM 被致能在 32bits 总线模式, 并且微处理器为 8-bits 并列模式, 那么 PWM、Serial flash、键盘引脚将会变成 SDR SDRAM 总线功能, 例如:

- a. XDB[15:8] 变成 XMD[23:16]
- b. {XKIN[0], XPWM[1], XPWM[0], XMISO, XMOSI, XSCK, XnSFCS1, XnSFCS0} 变成 XMD[31:24]
- c. XPS[0] 变成 XMDQM[2]
- d. XKOUT[0] 变成 XMDQM[3]

4.6 键盘扫描 (9 引脚)

接脚名称	I/O	脚位说明
XKIN[0]/ XSCL	IO (8mA)	按键数据线或 GPIs (通用型输入) 按键数据输入(默认值), 并且具有内部的 pull-up 电阻 XKIN[0] 也具有 IIC master 的 XSCL 功能
XKOUT[0]/ XSDA	O (8mA)	按键数据撷取线或 GPOs (通用型输出 Output) 键盘矩阵输出的撷取, 并且在 IO 上是 open-drain 的形式, 此为默认值。 XKOUT[0] 也具有 IIC master 的 XSDA 功能
XKIN[4:1]	I	按键数据线或 GPIs (通用型输入) 按键数据输入(默认值), 并且具有内部的 pull-up 电阻
XKOUT[3:1]	O (8mA)	按键数据撷取线或 GPOs (通用型输出 Output) 键盘矩阵输出的撷取, 并且在 IO 上是 open-drain 的形式, 此为默认值。

注:

如果 SDR SDRAM 被致能在 32bits 总线模式, 并且微处理器为 8-bits 并列模式, 那么 PWM、Serial flash、键盘引脚将会变成 SDR SDRAM 总线功能, 例如:

- a. XDB[15:8] 变成 XMD[23:16]
- b. {XKIN[0], XPWM[1], XPWM[0], XMISO, XMOSI, XSCK, XnSFCS1, XnSFCS0} 变成 XMD[31:24]
- c. XPS[0] 变成 XMDQM[2]
- d. XKOUT[0]变成 XMDQM[3]

当 SDR SDRAM 32bits 总线被致能时, XPWM[1] 的外部内存频率功能会被禁用。

4.7 LCD Panel LVDS 界面/FPD-Link (12 引脚)

接脚名称	I/O	脚位说明
AVDD33	P	模拟正电压输入
AVSSIO	P	模拟地端
XTX0P	A	传输线正端, LVDS 信号。 Channel 0
XTX0N	A	传输线负端, LVDS 信号。 Channel 0
XTX1P	A	传输线正端, LVDS 信号。 Channel 1
XTX1N	A	传输线负端, LVDS 信号。 Channel 1
XTX2P	A	传输线正端, LVDS 信号。 Channel 2
XTX2N	A	传输线负端, LVDS 信号。 Channel 2
XTX3P	A	传输线正端, LVDS 信号。 Channel 3
XTX3N	A	传输线负端, LVDS 信号。 Channel 3
XCKP	A	输出 TX 频率, 正端, LVDS 准位
XCKN	A	输出 TX 频率, 负端, LVDS 准位

4.8 时脉、复位与测试模式 (6 引脚)

接腳名稱	I/O	腳位說明
XI (XCLK1)	I	Crystal 输入/Clock 1 输入(核心频率-core clock) Crystal Oscillator 必须是在 10MHz ~ 15MHz。 当 XTEST[0] 设为低电平时, 此引脚是给内部的 crystal 电路使用, 而此引脚应该连接外部 crystal 电路, 这将可以产生 RA8877 的频率信号。 当 XTEST[0] 设为高电平时, 此引脚被拿来当作外部频率 1 输入。 建议 OSC 频率为 11.0592 MHz。
XO	O	Crystal 输出 此引脚为内部 crystal 电路输出, 而此引脚应该连接至外部 crystal 电路。
XnRST	I/OC	复位输入信号 为了避免噪声产生错误的复位信号, 外部复位信号的准位必须最少要有 256 OSC 的频率周期。
XTEST[0]	I	频率测试模式 内建 pull down 电阻 此引脚是提供给芯片测试使用的, 在标准操作上此引脚应该要连接至 GND。 0: 标准模式, 使用内部 PLL 频率。 1: 忽略 PLL, 芯片频率改使用外部 XCLK1、XCLK2、XCLK3 输入。
XTEST[2:1]	I	芯片测试模式 00: 标准模式。 01: 令 SPI master 引脚浮接 (使用在 in-system-programming)。 1X: 保留。

4.9 电源与接地

接腳名稱	I/O	腳位說明
LDO1_CAP12 LDO2_CAP12 LDO3_CAP12	P	需要在每个 LDO 上 连接 1uF 到地端
VDD33	P	IO VDD 3.3V IO 电源输入
VSS	P	GND IO Cell/Core 接地信号
AVSSIO	P	Analog IO GND 模拟 IO 地端
AVSS	P	Analog IO GND 模拟 Core 地端